

PAT-NO: JP407006982A

DOCUMENT-IDENTIFIER: JP 07006982 A

TITLE: METHOD OF SPLITTING THIN SEMICONDUCTOR SUBSTRATE

PUBN-DATE: January 10, 1995

INVENTOR-INFORMATION:

NAME
TSUJI, HIDEYUKI
MATSUNAMI, MITSUO
KIOI, KAZUMASA
YUMOTO, MANABU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SHARP CORP	N/A

APPL-NO: JP04205279

APPL-DATE: July 31, 1992

INT-CL (IPC): H01L021/301, H01L021/304

ABSTRACT:

PURPOSE: To provide a method of surely splitting a thinned semiconductor substrate into chips high in yield.

CONSTITUTION: A single crystal silicon substrate 11 bonded to a transparent glass substrate 20 is thinned into a thin semiconductor substrate 11a, and the substrate 11a is split into chips. A process wherein grooves 18 as deep as the through-holes 17 are previously provided in a region where dicing lines for splitting the single crystal silicon substrate 11 are provided in a through-hole 17 forming process, thereafter a process wherein the rear side of the single crystal silicon substrate 11 to which the transparent glass substrate 20 is bonded is polished, and furthermore a process wherein dicing lines are provided to the transparent glass substrate 20 overlapping the grooves 18 provided to the thinned single crystal silicon substrate 11a are provided.

COPYRIGHT: (C)1995,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-6982

(43)公開日 平成7年(1995)1月10日

(51)Int.Cl.⁶

H 01 L 21/301
21/304

識別記号 庁内整理番号

3 2 1 Z

F I

技術表示箇所

H 01 L 21/ 78

M

H 01 L 21/ 78

L

Q

審査請求 未請求 請求項の数3 OL (全9頁) 最終頁に続く

(21)出願番号

特願平4-205279

(22)出願日

平成4年(1992)7月31日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 辻 秀行

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72)発明者 松浪 光雄

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72)発明者 鬼追 一雅

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(74)代理人 弁理士 井内 龍二

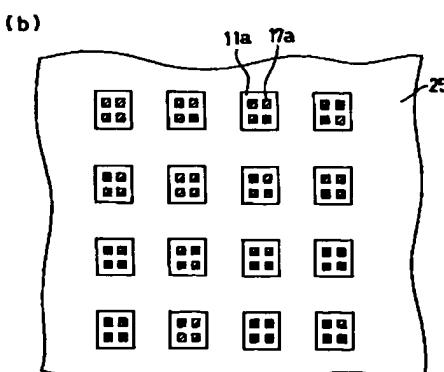
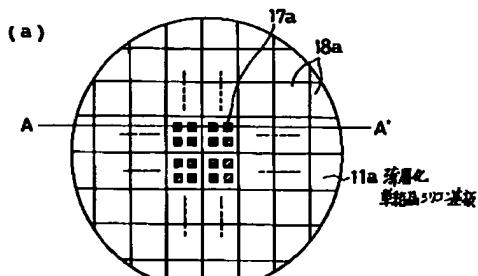
最終頁に続く

(54)【発明の名称】 薄層半導体基板の分割方法

(57)【要約】

【目的】 歩留まりよく確実に基板を分割することができる薄層化半導体基板の分割方法を提供するものである。

【構成】 透明ガラス基板20に接着させた単結晶シリコン基板11を薄層化し、チップに分割する薄層半導体基板11aの分割方法において、スルーホール17の形成工程で単結晶シリコン基板11のダイシングラインとなる領域にあらかじめスルーホール17深さと同一深さの溝18を形成する工程、この後単結晶シリコン基板11に透明ガラス基板20を接着させて単結晶シリコン基板11の裏面研磨を行なう工程、さらに、透明ガラス基板20に薄層化単結晶シリコン基板11aに形成した溝18と重なる位置にダイシングを施す工程を含んでいることを特徴とする薄層化半導体基板の分割方法。



【特許請求の範囲】

【請求項1】 透明ガラス基板に接着させた半導体基板を薄層化し、チップに分割する薄層半導体基板の分割方法において、スルーホールの形成工程で前記半導体基板のダイシングラインとなる領域にあらかじめスルーホール深さと同一深さの溝を形成する工程、この後前記半導体基板に前記透明ガラス基板を接着させて前記半導体基板の裏面研磨を行なう工程、さらに、前記透明ガラス基板に前記半導体基板に形成した溝と重なる位置にダイシングを施す工程を含んでいることを特徴とする薄層半導体基板の分割方法。

【請求項2】 透明ガラス基板と半導体基板を接着する接着剤として、透明の紫外線硬化型樹脂を用いることを特徴とする請求項1記載の薄層半導体基板の分割方法。

【請求項3】 スルーホール及び溝をエッチングにより形成することを特徴とする請求項1又は請求項2記載の薄層半導体基板の分割方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は薄層半導体基板の分割方法、より詳細には半導体基板を薄層化し、積層化するための薄層半導体基板の分割方法に関する。

【0002】

【従来の技術】 近年、半導体集積回路の集積度は3年間に4倍の割合で増加しており、西暦2000年のD.R.A.Mではデザインルールが約0.15μmの1Gの集積度になっていると予想される。ところが、これら高集積回路は設計、製造、検査のすべての面で技術的困難を招いている。例えば、ROM、RAM、ALU、CPU、I/Oコントローラ等を含めた1チップマイクロコンピュータがあるが、1チップの集積素子数が増大するにつれ、設計に要する時間が長くなり製造歩留まりも低下し、検査時間が長くなり、それと共に完全な検査が困難となっている。

【0003】 そこで、平面的な微細化ではなくチップやウエハを立体的に接着・積層化する研究開発が活発に進められている。

【0004】 立体的に半導体基板を接着・積層化する場合、小型化の面から積層化する半導体基板を薄層化し、上下半導体基板間の信号授受を行なうための配線を通すスルーホールの形成が必要である。スルーホールを形成するには、薄層化する前の半導体基板表面にスルーホールとなる孔を形成しておき、半導体基板の表面に接着剤を用いて透明ガラス基板を接着し、半導体の裏面からスルーホール底部まで研磨することでスルーホールを形成している。

【0005】 また薄層化された半導体基板を積層化する前に、薄層化された半導体基板を所望の大きさに分割しなければならず、薄層化された半導体基板を分割するために、ダイシングによって分割を行なう方法が提案され

10

ている。

【0006】 図3(a)は従来の単結晶シリコン基板を示す平面図であり、(b)はダイシングソーによってスクライブラインが形成された従来の単結晶シリコン基板を示した平面図である。また図4(a)～(e)は従来の単結晶シリコン基板の分割工程を示した概略断面図であり、図3に示したB-B'間断面を示す。

【0007】 まず、単結晶シリコン基板101上にゲート酸化膜102を形成し、ゲート酸化膜102上にゲート電極103を形成し、さらにゲート電極103上及びゲート電極103が形成されていない単結晶シリコン基板101上に層間絶縁膜104を形成し、層間絶縁膜104間に電極配線105を選択的に形成してトランジスタ100を形成する。また、電極配線を行なうために、100μm以上のスルーホール107を形成し、単結晶シリコン基板101上に表面保護膜106を選択的に形成する(図3(a)、図4(a))。

20

【0008】 このように形成された単結晶シリコン基板101の表全面に、接着剤として熱溶融ワックス108を塗布し、熱溶融ワックス108により透明ガラス基板109を単結晶シリコン基板101上に接着する(図4(b))。

30

【0009】 次に、単結晶シリコン基板101の裏面を研磨し、貫通したスルーホール107aを形成し、薄層化単結晶シリコン基板101aを形成する(図4(c))。

40

【0010】 この薄層化単結晶シリコン基板101aをチップに分割するため、ダイシングソー110によって薄層化単結晶シリコン基板101aの裏面から図3(b)に示した格子状にスクライブライン110aを形成し、薄層化半導体基板101aのみを切断する(図4(d))。

50

【0011】 薄層化単結晶シリコン基板101aを切断した後、加熱して熱溶融ワックス108を溶融させ、さらに有機溶剤等に浸漬して薄層化単結晶シリコン基板101aを透明ガラス基板109から分離させ、チップとしての薄層化単結晶シリコン基板101aを得る(図4(e))。

【0012】

【発明が解決しようとする課題】 しかしながら、上述した方法では、以下の問題点が生じる。

【0013】 (1) 热溶融ワックス108を用いて薄層化単結晶シリコン基板101aと透明ガラス基板109を接着した場合、研削(グラインディング)や研磨(ラッピング、ポリッシング)による摩擦熱で熱溶融ワックス108が軟化あるいは溶融し、密着性が低下することで薄層化単結晶シリコン基板101aが透明ガラス基板109から剥れてしまう。

50

【0014】 (2) 薄層化単結晶シリコン基板101a裏面からダイシングソー110を用いてチップに切断す

る際に、薄層化単結晶シリコン基板101aのダイシング部に当たる周辺にカケやクラック等が発生する。

【0015】単結晶シリコン基板101の素子部にカケやクラックがあると、積層化する際、チップエッジにて下層半導体基板とアライメントするのが困難であるとか、トランジスタ100部を破壊することになり、歩留まりを著しく低下させるだけでなく、ゴミ発生の原因ともなり正常な素子作製が不可能となる。

【0016】(3) 薄層化単結晶シリコン基板101aと透明ガラス板109とは固さが違うため、同じダイシングソー110を用い、薄層化単結晶シリコン基板101aのみの切断だけではなく、連続して透明ガラス基板109を切断することは困難である。

【0017】通常ダイシングソー110は、切断する材料によって刃の種類を変える必要があり、刃の交換を行なうと、余計な時間を要することとなり、コストアップを招く原因となる。

【0018】さらに、ダイシングソー110で粘性を持つ熱溶融ワックス108を切断すると、刃が目詰まりをおこし、切断できなくなる。

【0019】本発明は上記課題に鑑み発明された方法であって、歩留まりよく確実に基板を分割することができる薄層半導体基板の分割方法を提供することを目的としている。

【0020】

【課題を解決するための手段】上記目的を達成するために本発明に係る薄層半導体基板の分割方法は、透明ガラス基板に接着させた半導体基板を薄層化し、チップに分割する薄層半導体基板の分割方法において、スルーホールの形成工程で前記半導体基板のダイシングラインとなる領域にあらかじめスルーホール深さと同一深さの溝を形成する工程、この後前記半導体基板に前記透明ガラス基板を接着させて前記半導体基板の裏面研磨を行なう工程、さらに、前記透明ガラス基板に前記半導体基板に形成した溝と重なる位置にダイシングを施す工程を含んでいることを特徴とし、また上記記載の薄層半導体基板の分割方法において、前記透明ガラス基板と前記半導体基板を接着する接着剤として、透明の紫外線硬化型樹脂を用いることを特徴とし、さらに上記記載の薄層半導体基板の分割方法において、前記スルーホール及び前記溝をエッチングにより形成することを特徴としている。

【0021】

【作用】上記した方法によれば、スルーホールの形成工程においてスルーホールと同一の深さで溝を形成し、半導体基板裏面を前記スルーホール及び前記溝の底部まで研磨あるいは研削するため、薄層半導体基板を分割する場合、前記薄層半導体基板が接着されている透明ガラス基板のみを前記溝に位置合わせてダイシングソーによりダイシングすることにより前記溝が裂け目となり、直接受け前記薄層化半導体基板をダイシングすることなく、安

定した状態でチップに分割することが可能となる。

【0022】また上記方法において、前記透明ガラス基板と前記薄層半導体基板を接着する接着剤として透明の紫外線硬化型樹脂を用いる場合には、前記透明ガラス基板をダイシングする際、ダイシングソーを前記薄層半導体基板の前記溝に位置合わせることが容易となり、前記薄層半導体基板を正確に分割することが可能となる。

【0023】さらに上記方法において、前記スルーホール及び前記溝をエッチングにより形成する場合には、前記薄層化半導体基板を分割する際、前記薄層化半導体基板の分割面が滑らかな直線的な断面になり、アライメントが容易になり、また半導体基板にダメージを与えることがない。

【0024】

【実施例】以下、本発明に係る薄層半導体基板の分割方法の実施例を図面に基づいて説明する。

【0025】図1(a)～(g)は実施例に係る薄層半導体基板の分割工程を説明するための断面図であり、図2(a)はダイシングソーによってスクライブラインが形成された半導体基板の平面図であり、(b)はエキスパンダーシート上に搭載されて分割された薄層半導体基板を示した平面図である。

【0026】まず、半導体製造工程に従って、単結晶シリコン基板11上にMOSトランジスタを形成する。すなわち、 $5.25\mu\text{m}$ 厚の直径4インチの単結晶シリコン基板11上にゲート酸化膜12を形成し、ゲート酸化膜12上にゲート電極13を形成し、さらにゲート電極13上及びゲート電極13が形成されていない単結晶シリコン基板11上に層間絶縁膜14を形成し、層間絶縁膜14間に電極配線15を選択的に形成する。また電極配線を行なう $5\sim50\mu\text{m}$ 角のスルーホール17とチップ分離のための $50\sim100\mu\text{m}$ 幅のスクライブラインである溝18をR.I.E (Reactive Ion Etching) 法によって $60^\circ\sim85^\circ$ のテーパ角で $15\sim105\mu\text{m}$ 深さで形成する。このときチップ分離のためのスクライブラインとして形成する溝18は、図2(a)に示すように、ある一定間隔で格子状に構成する。次いで、溝18以外の部分に選択的にSiN等の表面保護膜16を形成する。(図1(a))。

【0027】次に、透明の紫外線硬化型樹脂19を全面に塗布し、支持基板である透明ガラス基板20を上に置き、矢印で示したように全面に均一な $10\sim50\mu\text{W}/\text{cm}^2$ の紫外線光Uを $10\sim60$ 秒間照射して、下地である単結晶シリコン基板11と接着させる。この紫外線硬化型樹脂19は透明であり、透明ガラス基板20越しに単結晶シリコン基板11を見るため後の工程で都合が良く、しかも 150°C までなら軟化、溶融しないという特性を有しており、後の熱処理工程で自由度がある(図1(b))。

【0028】次に、固定ダイヤモンド(直径 $20\mu\text{m}$ 以

下) 砥石を用いる機械式研磨法(グラインディング)によって、単結晶シリコン基板11の裏面から425~515μmの研磨を行ない、10~100μm厚の薄層化単結晶シリコン基板11aを得る。この時、スルーホール17と溝18は、薄層化単結晶シリコン基板11aを同時に貫通するものとなり、貫通したスルーホール17aと貫通した溝18aが形成される。つまり、貫通したスルーホール17aは、上下半導体基板間の縦電極配線を行なうものとなり、また側壁が滑らかで順テーパの貫通した溝18aによって、薄層化単結晶シリコン基板11aをチップに分割したことになる(図1(c))。

【0029】次に、接着剤23を厚さ200~300μmのチップエキスパンダーシート25上に塗布し、接着剤23が塗布されたエキスパンダーシート25上に薄層化単結晶シリコン基板11aを接着する。そして薄層半導体基板11a中に設けたスクライブラインである貫通した溝18aにアライメントを行ない、ダイシングソー21によって透明ガラス基板20のみを切断し、薄層半導体基板11aと同一形状に切断された透明ガラス基板20aを得る(図1(d))。

【0030】次に、図示しないチップエキスパンダーを用いてウエハ周辺からエキスパンダーシート25を引っ張って、紫外線硬化型樹脂19を分離し、分割したチップを得る。この時のチップエキスパンダーシート25の厚さは、50~100μmと薄くなる(図1(e)、図2(b))。

【0031】次に、100℃以下に加熱したホットプレート上に置き、接着剤23を軟化させ、真空ビンセットにより切断透明ガラス基板20aの表面を吸着して、エポキシ樹脂22を塗布した下層半導体基板24の所望の位置に積層する(図1(f))。

【0032】次に、150℃以下でエポキシ樹脂22を固化させて、下層半導体基板24と薄層化単結晶シリコン基板11aとを接着させた後、熱湯や有機溶剤に浸漬して紫外線硬化型樹脂19を溶解させ、切断透明ガラス基板20aを離脱させる(図1(g))。この後、薄層化単結晶シリコン基板11aと下層半導体基板24を電気的に接続するために貫通したスルーホール17aを通じて貫通したスルーホール17a下部のエポキシ樹脂22を、化学的エッティングや反応性イオンエッティングなどの手法を用いて除去し、薄層化単結晶シリコン基板11aと下層半導体基板24とを電気的に接続するためのスルーホール(図示せず)を形成する。

【0033】以上説明したように、上記実施例に係る薄層半導体基板の分割方法によれば、スルーホール17形成時に、エッティングによりスルーホール17と同一の深さで溝18を形成するので、薄層化単結晶シリコン基板11aを分割する際、貫通した溝18aが裂け目となるため、クラック及び割れ等によるダメージを与えることなく分割することができる。また透明ガラス基板20a

と薄層化単結晶シリコン基板11aとの接着を紫外線硬化型樹脂19にて行なっているので、透明ガラス基板20のみをダイシングソー21で切断する際、スクライブラインとする貫通した溝18aとの位置合わせを容易に行なうことができる。さらに溝18はエッティングにより形成されるので、貫通した溝18aの断面は滑らかな側面となり、この側面を用いて上下薄層化単結晶シリコン基板11a、下層半導体基板24間に配線を形成することも可能である。また貫通したスルーホール18aの側面は直線が良好なため、下層半導体基板24とのアライメントが容易となる。

【0034】また従来の方法では有機溶剤等によって透明ガラス基板20から分離された半導体チップは、有機溶剤中に散乱し、薄層であり、割れやすいことからビンセット等で取り扱うことが困難で積層工程の作業性が悪かった。本実施例においては、下層半導体基板24に薄層化単結晶シリコン基板11aを接着してから紫外線硬化型樹脂19を溶解させるので、薄層化単結晶シリコン基板11aが溶媒中に散乱してダメージを受けることなくすことができる。

【0035】なお本発明は、スルーホール17及び溝18をRIE法により形成しているが、これに限定されるものでなく、上記方法以外にフッ酸・硝酸系、KOH系あるいはアンモニア系(テトラ・エカル・アンモウム・ヒド・ifikト: [(C₂H₅)₄N]OH)水溶液のウエットエッティングによっても同様に単結晶シリコン基板11上にスルーホール17やスクライブラインの形成を行なうことができる。

【0036】また、上記実施例では研磨を行なう際、固定ダイヤモンド砥石を用いる機械式研磨を行なっているが、これに限定されるものでなく、粉状のダイヤモンド砥粒を水溶させ研磨する方法(ラッピング)や、布とアルカリ水溶液(一般にコロイダルシリカがよく用いられる)を用いる研磨方法(ポリッシング)によても、同様に薄層化単結晶シリコン基板11aを得ることができる。

【0037】

【発明の効果】以上詳述したように、本発明に係る薄層半導体基板の分割方法においては、以下の効果が期待できる。

【0038】(1) 接着剤に150℃までなら溶融しない紫外線硬化型樹脂を用いているので、薄層化単結晶シリコン基板が透明ガラス基板から剥れることなく、プロセスの自由度が増す。

【0039】(2) 薄層化単結晶シリコン基板へのダイシング工程を省略することができるので、薄層化単結晶シリコン基板中の素子を破壊せずに薄層半導体チップを作製でき、コストの低減を図ることができる。

【0040】(3) エッティングにより半導体基板の分離を行なうので、側壁が非常に滑らかで、任意に角度調節をすることで、チップの側壁を用いた上下半導体基板間

の配線形成も可能である。

【0041】またダイシングによる非直線的なチップ側面ではなく、直線的なチップ側面であるので、積層化の際、下層半導体基板との位置合わせマークとのアライメントが容易となる。

【0042】(4) 透明ガラス基板、透明な紫外線硬化型樹脂を用いた場合、光学顕微鏡等を用いた目視観察で薄層化単結晶シリコン基板に設けた溝にアライメントを行なって、透明ガラス基板を切断するのが容易となる。

【0043】(5) 従来方法と同様に一度のダイシングで、強度的に弱い薄層半導体基板を容易に分割することができ、特性良否を区別して移載することができる。

【図面の簡単な説明】

【図1】(a)～(g)は実施例に係る薄層半導体基板の分割工程を示した図2(a)におけるA-A'線断面図である。

【図2】(a)はダイシングソーによってスライブラインが形成された単結晶シリコン基板の平面図であり、

(b)はエキスパンダーシート上に搭載されて分割された薄層単結晶シリコン基板を示した平面図である。

【図3】(a)は従来の単結晶シリコン基板の平面図であり、(b)はダイシングソーによってスライブラインが形成された従来の単結晶シリコン基板を示した平面図である。

【図4】(a)～(e)は従来の単結晶シリコン基板の分割工程を概略的に示した図3におけるB-B'線断面図である。

【符号の説明】

11 単結晶シリコン基板(半導体基板)

11a 薄層化単結晶シリコン基板(薄層化半導体基板)

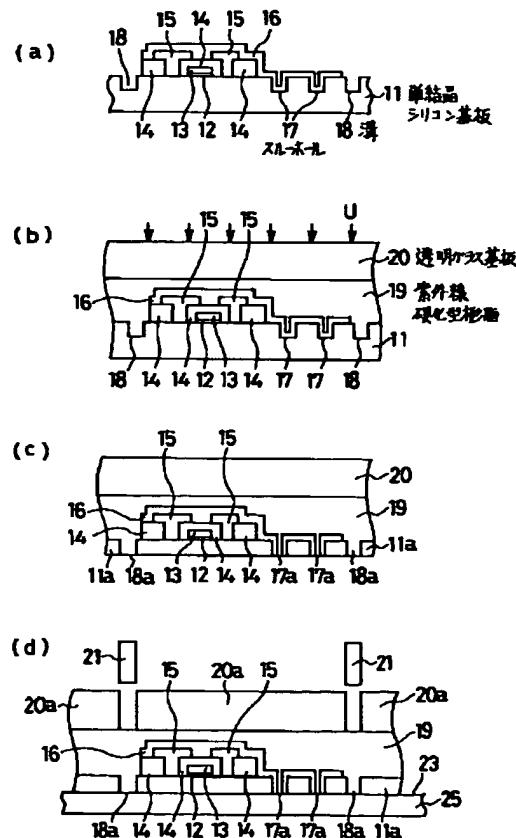
17 スルーホール

18 溝

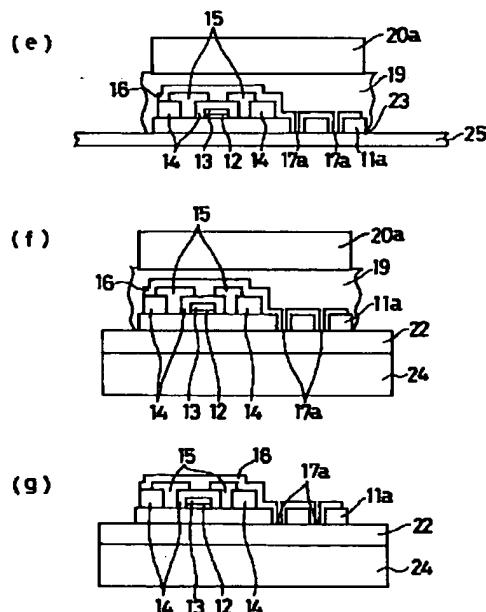
19 紫外線硬化型樹脂

20 透明ガラス基板

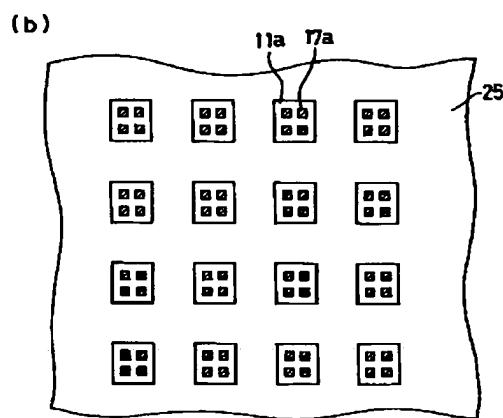
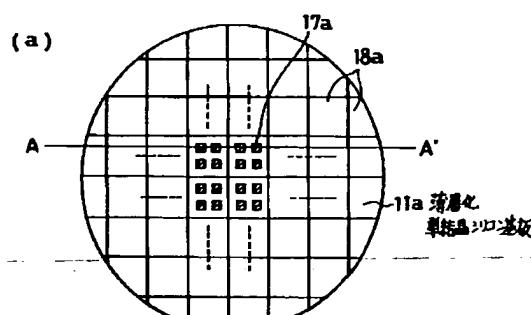
【図1の1】



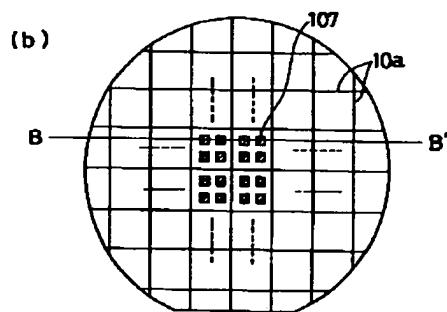
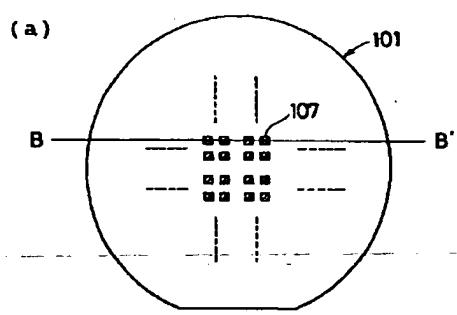
【図1の2】



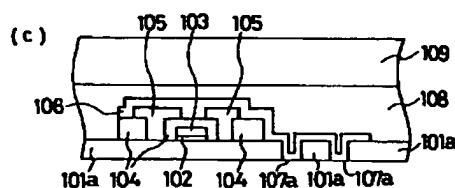
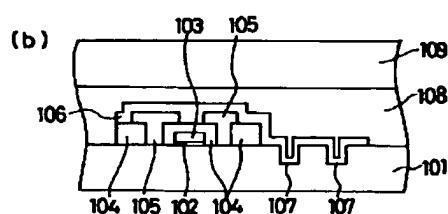
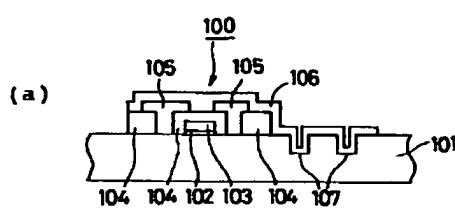
【図2】



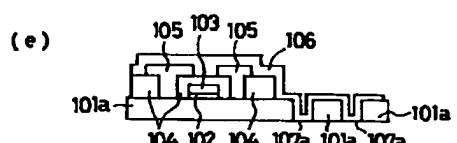
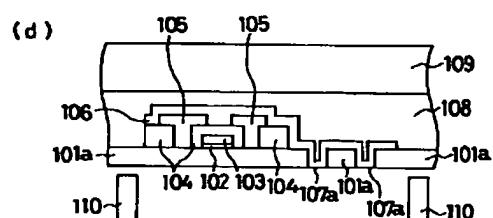
【図3】



【図4】



【図4】



【手続補正書】

【提出日】平成5年11月26日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1の1】及び

【図1の2】(a)～(g)は実施例に係る薄層半導体基板の分割工程を示した図2(a)におけるA-A'線断面図である。

【図2】(a)はダイシングソーによってスライブライインが形成された単結晶シリコン基板の平面図であり、(b)はエキスパンダーシート上に搭載されて分割された薄層単結晶シリコン基板を示した平面図である。

【図3】(a)は従来の単結晶シリコン基板の平面図であり、(b)はダイシングソーによってスライブライインが形成された従来の単結晶シリコン基板を示した平面

図である。

【図4の1】及び

【図4の2】(a)～(e)は従来の単結晶シリコン基板の分割工程を概略的に示した図3におけるB-B'線断面図である。

【符号の説明】

1 1 単結晶シリコン基板(半導体基板)

1 1 a 薄層化単結晶シリコン基板(薄層化半導体基板)

1 7 スルーホール

1 8 溝

1 9 紫外線硬化型樹脂

2 0 透明ガラス基板

【手続補正2】

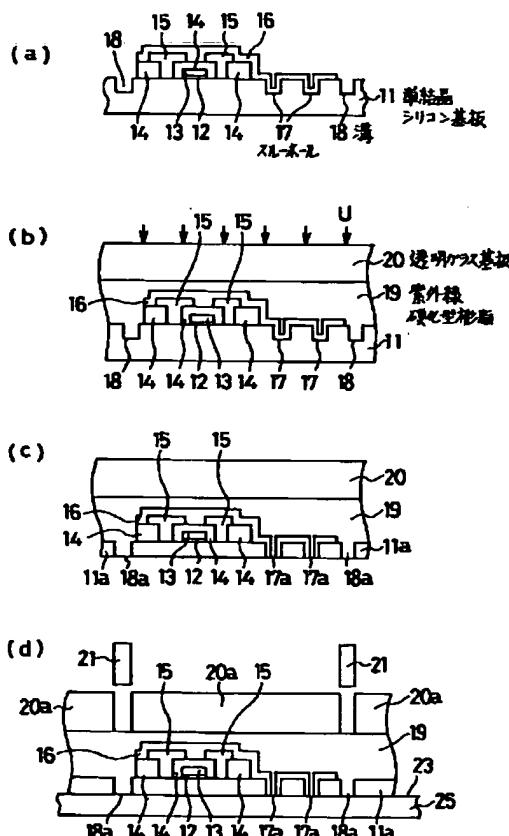
【補正対象書類名】図面

【補正対象項目名】全図

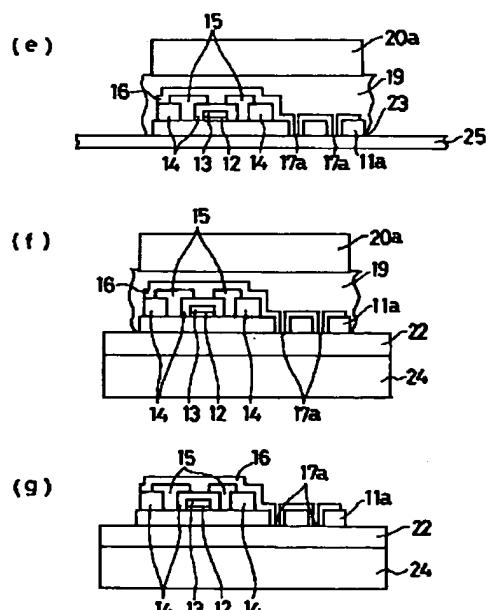
【補正方法】変更

【補正内容】

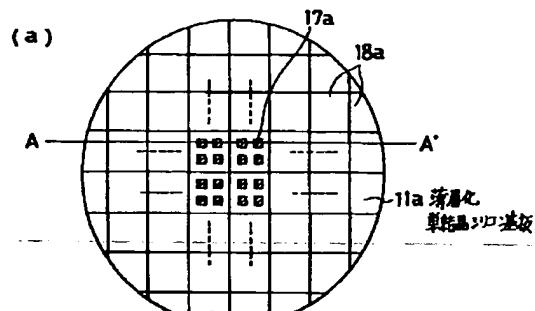
【図1の1】



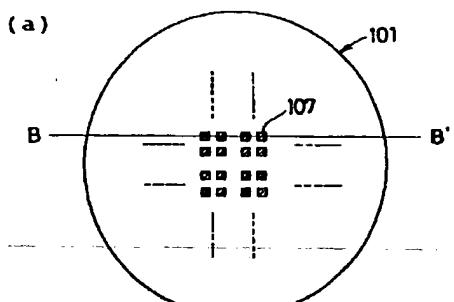
【図1の2】



【图2】



【图3】



【図4の1】

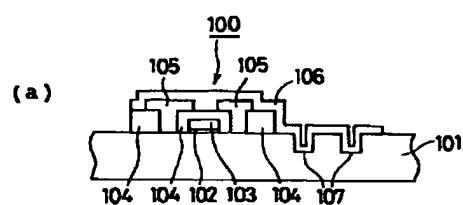


Diagram (b) shows a cross-section of a memory cell. The structure consists of a stack of insulating and conductive layers. Key layers are labeled with reference numerals: 103, 105, 109, 108, 101, 107, 104, 105, 102, and 106. The top layer 103 is a conductive layer, followed by 105. The bottom layer 106 is a conductive layer, with 104, 105, 102, 104, 107, and 101 stacked below it. Layer 107 is a conductive layer, and 101 is an insulating layer. The diagram illustrates the complex multi-layered architecture of the memory cell.

Diagram (c) shows a cross-section of a stepped structure. The top horizontal layer is labeled 105, 103, and 105 from left to right. The bottom horizontal layer is labeled 106, 108, and 109 from left to right. The stepped regions are labeled 101a, 104, 102, 104, 107a, 101a, and 107a from left to right along the bottom. The diagram illustrates the relationship between the top and bottom layers and the stepped regions.

【図4の2】

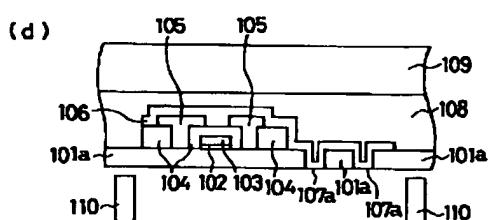


Diagram (e) illustrates a cross-section of a stepped structure. The top layer features four rectangular steps. The leftmost step is labeled 105. To its right is a taller step labeled 103, which is itself labeled 105. To the right of 103 is a step labeled 106. The rightmost step of the top layer is labeled 106. The bottom layer consists of a series of rectangular steps. The leftmost step is labeled 101a. To its right is a step labeled 106. Next is a step labeled 102. Then a step labeled 104. To the right of 104 is a step labeled 107a. The rightmost step of the bottom layer is labeled 101a. Above the bottom layer, the rightmost step is labeled 107a.

フロントページの続き

(51) Int. Cl. 6

識別記号 庁内整理番号

F I

技術表示箇所

S

(72) 発明者 湯元 学

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内